بسمه تعالی

زمان نصب در تابلوی اعلانات:

عنوان رساله: طراحی مدارهای مجتمع خیلی فشرده عصب‌گون مبتنی بر فناوری‌های نوپدید برای کاربردهای هوش مصنوعی

دانشجو: عبداله امیرانی

استاد راهنما: دکتر کیان جعفری

استاد مشاور: دکتر محمدحسین معیری

چکیده:

علیرغم توان محاسباتی قابل توجه رایانه‌های مبتنی بر معماری Von-Neumann این رایانه‌ها دیگر قادر به پاسخ‌گویی به نیازهای پردازشی موجود نیستند. شبکه‌های عصبی و معماری‌های عصب‌گون الگو برداری شده از مغز انسان یکی از راهکارهای پاسخگویی به نیازهای پردازشی موجود هستند. ترانزیستورهای CMOS علارغم ویژگی‌های درخور توجهی که دارند در زمینه پیاده‌سازی سخت‌افزاری شبکه‌های عصبی و محاسبات عصب‌گون با کاستی‌های فراوانی روبرو هستند. فنآوری‌های نوپدید مانند پیوند تونل مغناطیسی و ترانزیستورهای نانولوله کربنی با گیت پیرامونی در این زمینه می‌توانند راهگشا باشند.

در این رساله مدارهای مجتمع خیلی فشرده عصب‌گون مبتنی بر سلول MTJ و GAA-CNTFET برای کاربردهای هوش مصنوعی طراحی شده‌است. مدارهای طراحی شده در این رساله از ویژگی نافرار بودن سلول MTJ برای ذخیره‌سازی وزن‌های شبکه عصبی استفاده کرده و همزمان محاسبات را نیز با استفاده از سلول‌های MTJ انجام داده تا نیاز به حافظه خارجی برای ذخیره‌سازی وزن‌ها نبود و در نتیجه یکی از چالش‌های اساسی معماری Von-Neumann که جدا بودن واحد پردازش از حافظه است برطرف شود.

با استفاده از مدارهای طراحی شده سه معماری برای پردازنده‌های عصب‌گون ارائه شده‌است. معماری بهینه‌سازی شده برای توان مصرفی که برای دستگاه‌های مبتنی بر باتری طراحی شده‌است، قابلیت اجرای ۱۷/۱ هزار میلیارد عملیات در ثانیه را داشته و توانی در حدود ۳۷۷ میلی‌وات مصرف می‌کند. معماری دوم که برای کاربردهای متوسط که کارایی و توان مصرفی هر دو دارای اهمیت هستند طراحی شده، توانی در حدود ۹۸۵ میلی‌وات مصرف می‌کند و قابلیت اجرای ۲۶/۸ هزار میلیارد عملیات در ثانیه را دارد. در معماری سوم کارایی از اهمیت بالاتری برخوردار بوده و توان مصرفی در جایگاه دوم اهمیت قرار دارد. این معماری نیز قابلیت اجرای ۵۳/۵ هزار میلیارد عملیات در ثانیه را داشته و توانی در حدود ۱۷۸۰ میلی‌وات مصرف می‌کند. صرف نظر از کارایی و سرعت، هر سه معماری پیشنهادی قادر به پیاده‌سازی انواع مختلف شبکه‌های عصبی پرکاربرد هستند.

تمام مدارهای طراحی شده در این رساله علاوه بر فنآوری CNTFET با استفاده از فنآوری FinFET نیز بازطراحی شده تا پردازنده عصب‌گون طراحی شده محدود به فنآوری CNTFET نبوده و با فنآوری FinFET به عنوان یک فنآوری دردسترس برای ساخت مدارهای مجتمع نیز قابل پیاده‌سازی باشد.

زمان برگزاری: شنبه ۲۱ آبان ۱۴۰۱ ساعت ۱۶

مکان برگزاری: دانشکده مهندسی برق، طبقه همکف، تالار دانشکده مهندسی برق